



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2004140581 A**

(43) Date of publication of application: 13.05.04

(51) Int. Cl. **H04N 9/475**
H04N 9/66

(21) Application number: **2002303162**

(22) Date of filing: 17.10.02

(71) Applicant **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: KATO KOICHI
FUJITA YUKIO
SATO MASAKI

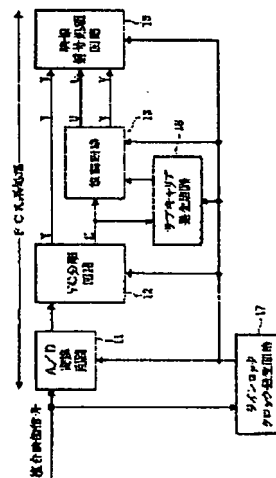
(54) VIDEO SIGNAL PROCESSOR

COPYRIGHT: (C)2004,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To provide a video signal processor in which a luminance signal and a color-difference signal faithful to a composite video signal can be obtained by suppressing generation of a beat due to interference of asynchronous clocks.

SOLUTION: The video signal processor comprises a line lock clock generating circuit 17, an A/D conversion circuit 11 for converting an analog composite video signal into a digital signal in synchronism with the line lock clock, a circuit 12 for separating YC a color signal C and a luminance signal Y from a digitized composite video signal from the A/D conversion circuit 11 in synchronism with the line lock clock, a circuit 18 for generating a subcarrier signal matching, in phase, with a burst of the color signal C in synchronism with the line lock clock, and a means 13 for demodulating the color signal C using the subcarrier signal in synchronism with the line lock clock to produce two color-difference signals V and U.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特願2004-140581
(2004-140581A)
(43) 公開日 平成16年5月13日(2004.5.13)

(51) Int. Cl.:	F I	テーマコード (参考)	
		HO4N 9/475	5C066
HO4N 9/475	HO4N 9/475	A	

審査請求 未請求 請求項の範囲 (全 12 頁)	
(21) 出願番号 特願2002-303162 (P2002-303162) (22) 出願日 平成14年10月17日(2002.10.17)	(71) 出願人 00005821 松下電産産業株式会社 大阪府門真市大字門真1006番地 (74) 代理人 100095814 弁理士 越川 隆夫 (72) 発明者 加藤 晃一 静岡県浜松市元城町216番18号 株式会社松下通信静岡研究所内 (72) 発明者 藤田 幸男 静岡県浜松市元城町216番18号 株式会社松下通信静岡研究所内 (72) 発明者 佐藤 政憲 神奈川県横浜市港北区綱島西4丁目3番1号 松下通信工業株式会社内

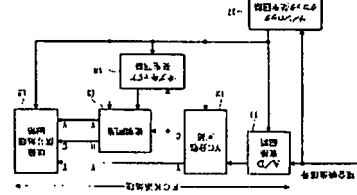
(54) [発明の名称] 映像信号処理装置

(57) [要約]

【課題】 非同期クロック間の干渉によるビートの発生を抑え、複合映像信号に忠実な輝度信号、色差信号を得ることができ、映像信号処理装置を提供する。

【解決手段】 ラインロッキングが発生させるラインロッキング発生回路17と、アナログ複合映像信号をラインロッキング同期してデジタル信号に変換するA/D変換回路11と、A/D変換回路11からのデジタル化された複合映像信号からラインロッキングのディジタル化された輝度信号Yを分離抽出するYC分離回路12と、色信号Cのバーストと位相の合ったサブキャリア信号をラインロッキング同期して発生させるサブキャリア発生回路18と、色信号Cをサブキャリア信号を用いてラインロッキング同期して2つの色差信号V、Uに復調する復調手段13とを備えている。

【選択図】 図1



【特許請求の範囲】

- 【請求項1】
ラインロッキングを発生させるラインロッキング発生手段と、アナログ複合映像信号を前記ラインロッキングに同期してディジタル化された複合映像信号から前記ラインロッキング、前記A/D変換手段からのディジタル化された複合映像信号から前記ラインロッキングと同期して色信号及び輝度信号を分離抽出するYC分離手段と、前記色信号のバーストと位相の合ったサブキャリア信号を前記ラインロッキング同期して発生させるサブキャリア発生手段と、前記色信号を前記サブキャリア信号を用いて前記ラインロッキング同期して同期して色差信号に復調する復調手段とを備えることを特徴とする映像信号処理装置。
- 【請求項2】
前記サブキャリア発生手段は、前記色信号のバーストの位相を求めるバースト位相算出手段と、前記バーストの位相と一致する前記サブキャリア信号の位相を生成するサブキャリア位相生成手段と、前記サブキャリア位相生成手段で生成した位相からサブキャリアを生成するサブキャリア生成手段とを備えることを特徴とする請求項1記載の映像信号処理装置。
- 【請求項3】
前記バースト位相算出手段は、バーストの振幅を規格化し、サンプリングポイント毎の波高値に対し、 \sin^{-1} の演算で位相を求める手段を有することを特徴とする請求項2記載の映像信号処理装置。
- 【請求項4】
前記バースト位相算出手段は、前記 \sin^{-1} の演算として予め記憶されている90°分のデータテーブルから360°の位相を得ることを特徴とする請求項3記載の映像信号処理装置。
- 【請求項5】
前記バースト位相算出手段は、前記90°分のデータテーブルから360°の位相を演算する際、各サンプリングポイントにおける目データのバーストの正負の符号情報、及び前後データの差情報を使って象限判定することを特徴とする請求項4記載の映像信号処理装置。
- 【請求項6】
前記サブキャリア位相補正手段は、前記サブキャリア位相生成手段の値と、前記バースト位相算出手段で算出した色信号のバースト位相の差の絶対値、及び差の正負の符号から、前記サブキャリア位相生成手段の値と前記バースト位相算出手段で算出した色信号のバースト位相の位相差を求めることを特徴とする請求項2記載の映像信号処理装置。
- 【請求項7】
前記ラインロッキング発生手段は、前記ラインロッキングを、前記アナログ複合映像信号の同期信号を分離した水平同期信号を基準に発生させることを特徴とする請求項1記載の映像信号処理装置。
- 【請求項8】
前記映像信号処理装置は、前記ラインロッキングを用いて同期信号を発生させる同期信号発生手段を備え、前記アナログ複合映像信号を発生するアナログ複合映像信号発生手段に前記同期信号を送り、前記アナログ複合映像信号を前記ラインロッキングに同期させることを特徴とする請求項1記載の映像信号処理装置。
- 【請求項9】
前記ラインロッキングを、1水平期間を(606×2)分周することを特徴とする請求項1記載の映像信号処理装置。
- 【請求項10】
前記復調手段は、フィルタ特性式に伝達関数Zに係る(1+Z⁻⁴)の項を有するLPFを備えることを特徴とする請求項1記載の映像信号処理装置。
- 【請求項11】

前記サブキャリア位相生成手段は、サブキャリア位相を、1ラインクロック毎に、かつ、1水平期間に1回補正することを特徴とする請求項2〜請求項10のいずれかに記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複合映像信号を、輝度、および2つの色差信号に復調する映像信号処理装置に関するものである。

【0002】

【従来の技術】

従来の映像信号処理装置は、複合映像信号中のパーストに対して同期をとりサブキャリア信号を生成するパーストロックPLLと、複合映像信号の水平同期信号に対して同期を取ってラインクロックを生成するラインロックPLLの2つのPLLを用いる方法が知られている。

【0003】

以下に従来の映像信号処理装置について図6を用いて説明する。複合映像信号はA/D変換回路61でディジタルに変換され、YC分離回路62にて輝度信号Yと色信号Cに分離される。色信号Cは復調回路63にて2つの色差信号U、Vにデコードされる。パーストロック回路64は復調回路63にて2つの色差信号U、Vにデコードされる。パーストロック回路64は、以下「4fsc」という)のパーストロッククロックの発生を行うが、色信号Cからパーストを抽出した抽出パーストの位相と、パーストロッククロック発生回路66で発生したパーストロッククロックとの位相誤差を検知して、その位相誤差がゼロになるように4fscのクロックを発生する。A/D変換回路61、YC分離回路62、及び復調回路63は、パーストロッククロック発生回路66で生成した、パーストロッククロックに同期して行われる。

【0004】

ラインクロック発生回路67では、システムの画素数に応じた周波数(510画素時: FCK=9.535MHz、720画素時: 13.50MHz、768画素時: FCK=14.31818MHz、以下「FCK」という)のn倍の周波数(以下「nFCK」という)のラインクロッククロックの発生を行うが、複合映像信号から水平同期信号を抽出した抽出水平同期信号の位相と、ラインクロッククロックを分離した水平同期信号との位相誤差を検知して、その位相誤差がゼロになるようにnFCKのクロックを発生する。このラインクロッククロックを用いて、信号処理回路25にて復調以降の信号処理を行う。クロック変換回路64は、パーストロッククロックでサンプリングされた、輝度Y、および2つの色差信号U、Vをラインクロッククロックにサンプリング変換する変換回路である。

【0005】

また、単一のクロックでの処理を実現する方法として、例えば特許文献1に示されるパーストを基準にラインクロッククロックの周波数のクロックを発生させ処理を行う方法と、特許文献2に示されるフリーランクロックのみでの処理を行う方法が知られている。

【0006】

【特許文献1】

特開平9-289649号公報

【特許文献2】

特開2001-112016号公報

【0007】

【発明が解決しようとする課題】
しかしながら、従来の映像信号処理装置では、パーストクロック発生回路、およびラインクロック発生回路の2つの発生回路が必要である。また、非同調な輝度信号をパーストによるビートが発生しやすい。また、本来サブキャリアとは無関係な輝度信号の干渉により、サブキャリアとパーストの位相差を求めることができる。その後のサンプリング

ング変換回路において劣化する可能性があるという問題点を有していた。

【0008】

また、従来のいずれの場合も入力の複合映像信号に対し完全に同期のとれたクロックを得ることができないためジッタが発生する場合がある。例えば、復調後の信号に対し、何らかの信号処理した後、複合映像信号に変調して出力した場合、そのジッタが問題となってしまうことがある。

【0009】

本発明は、これらの問題を解決するためになされたもので、非同調クロック間の干渉によるビートの発生を抑え、複合映像信号に忠実な輝度信号、色差信号を得ることができる映像信号処理装置を提供することを目的としている。

【0010】

【課題を解決するための手段】

本発明の映像信号処理装置は、ラインクロッククロックを発生させるラインクロッククロック発生手段と、アナログ複合映像信号をラインクロッククロックに同期してディジタル信号に変換するA/D変換手段と、A/D変換手段からのディジタル化された複合映像信号からラインクロッククロックに同期して色信号及び輝度信号を分離抽出するYC分離手段と、色信号のパーストと位相の合ったサブキャリア信号をラインクロッククロックに同期して発生させるサブキャリア発生手段と、色信号をサブキャリア信号を用いてラインクロックに同期して色差信号に復調する復調手段とを備える構成を有している。

この構成により、ラインクロッククロックのみで、複合映像信号を輝度、及び2つの色差信号に復調することができる。

【0011】

また、本発明の映像信号処理装置は、サブキャリア発生手段が、色信号のパーストの位相を求めるパースト位相算出手段と、パーストの位相と一致するサブキャリア信号の位相を生成するサブキャリア位相生成手段と、サブキャリア位相生成手段で生成した位相からサブキャリアを生成するサブキャリア生成手段とを備える構成を有している。
この構成により、パースト信号と同期したサブキャリアを発生することができる。

【0012】

さらに、本発明の映像信号処理装置は、パースト位相算出手段が、パーストの振幅を規格化し、サンプリングポイント毎の振幅値に対し、sinの演算で位相を求める手段を有する構成を有している。

この構成により、パースト信号の位相を算出することができる。

【0013】

さらに、本発明の映像信号処理装置は、パースト位相算出手段が、sinの演算として予め記憶されている90°分のデータテーブルから360°の位相を得る構成を有している。

この構成により、データテーブルの大きさを4分の1に減らすことができる。

【0014】

さらに、本発明の映像信号処理装置は、パースト位相算出手段が、90°分のデータテーブルから360°の位相を演算する際、各サンプリングポイントにおける自データのバーストの正負の符号情報、及び前後データの差情報を使って象限判定する構成を有している。

この構成により、パースト信号の象限を判定することができる。

【0015】

さらに、本発明の映像信号処理装置は、サブキャリア位相補正手段が、サブキャリア位相生成手段の値と、パースト位相算出手段で算出した色信号のパースト位相の絶対値、及び差の正負の符号から、サブキャリア位相生成手段の値とパースト位相算出手段で算出した色信号のパースト位相の位相差を求める構成を有している。

この構成により、サブキャリアとパーストの位相差を求めることができる。

【0016】

さらに、本発明の映像信号処理装置は、ラインロッキングクロック発生手段が、ラインロッキングクロックを、アナログ複合映像信号の同期信号を分離した水平同期信号を基準に発生させる構成を有している。

この構成により、アナログ複合映像信号に同期したラインロッキングクロックを発生することができる。

[0017]

さらに、本発明の映像信号処理装置は、ラインロッキングクロックを用いて同期信号を発生させる同期信号発生手段を備え、アナログ複合映像信号を発生するアナログ複合映像信号発生手段に同期信号を送り、アナログ複合映像信号をラインロッキングクロックに同期させる構成を有している。

この構成により、本映像信号処理装置に同期したアナログ複合映像信号を得ることができる。

[0018]

さらに、本発明の映像信号処理装置は、ラインロッキングクロックにより、1 水平期間を (6 \times 2) 分割する構成を有している。

この構成により、水平有効 510 画素の映像信号を処理することができる。また、3. 5 8 MHz の色信号の 1 周期あたり、5. 3 個のサンプリングポイントを得ることができる。

[0019]

さらに、本発明の映像信号処理装置は、復調手段が、フィルタ特性式に伝達関数 Z に係る (1 + Z⁻⁴) の項を有する LPF を備える構成を有している。

この構成により、ラインロッキングクロックとのサブキャリア信号の干渉を除去することができる。

[0020]

さらに、本発明の映像信号処理装置は、サブキャリア位相生成手段で、サブキャリア位相を、1 ラインロッキングクロック毎に、かつ、1 水平期間に 1 回補正する構成を有している。

この構成により、バーストにより正確に同期したサブキャリアを発生することができる。

[0021]

【発明の実施の形態】

以下、本発明の実施の形態の形態について、図面を用いて説明する。

本発明の実施の形態の映像信号処理装置は、図 1 に示す。図 1 における映像信号処理装置は、当該装置の外部にあるアナログの複合映像信号を出力する複合映像信号発生手段 (図示せず) から送られてくる複合映像信号をデジタル信号に変換する A/D 変換回路 11 と、デジタル化された複合映像信号 Y と色信号 C に分離する YC 分離回路 12 と、色信号から 2 つの色差信号 V、U を生成する復調回路 13 と、輝度信号 Y 及び 2 つの色差信号 V、U を用いて映像信号処理を行う映像信号処理回路 15 と、複合映像信号から水平同期信号に同期してシステム的面積数に応じた周波数 (510 画素: FCK = 約 9. 535 MHz) の 2 倍の周波数 (以下「2 FCK」という) のラインロッキングクロックの発生を行うラインロッキングクロック発生回路 17 と、色信号 C のバーストに同期したサブキャリア信号を発生するサブキャリア発生回路 18 とで構成されている。

[0022]

以上のように構成された映像信号処理装置についてその動作を説明する。ラインロッキングクロック発生回路 17 は複合映像信号から水平同期信号を抽出して 1 水平期間毎に抽出水平同期信号と装置内部の水平同期信号との位相差を検知してその位相差に応じてラインロッキングクロックの発生を行う。A/D 変換回路 11 はアナログの複合映像信号をラインロッキングクロックをサンプリングクロックとしてサンプリングを行いデジタル映像信号に変換する。A/D 変換回路 11 によってデジタル化された映像信号は YC 分離回路 12 に供給される。YC 分離回路 12 は、例えばクシ型フィルタからなり、A/D 変換回路 11 の出力データからラインロッキングクロックに同期して輝度信号 Y と色信号 C に分離して

出力する。YC 分離回路 12 からの色信号はサブキャリア発生回路 18、及び復調回路 13 に供給され、サブキャリア発生回路 18、及び復調回路 13 においてもラインロッキングクロックに同期して処理を行う。ラインロッキングクロック発生回路 17 が、ラインロッキングクロックを、アナログ複合映像信号の同期信号を分離した水平同期信号を基準に発生させることから、アナログ複合映像信号に同期したラインロッキングクロックを発生することができる。

[0023]

このように、本実施例の映像信号処理装置は、ラインロッキングクロックを発生させるラインロッキングクロック発生回路 17 と、複合映像信号をラインロッキングクロックに同期してデジタル信号に変換する A/D 変換回路 11 と、A/D 変換回路 11 からのデジタル化された複合映像信号からラインロッキングクロックに同期して色信号 C 及び輝度信号 Y を分離抽出する YC 分離回路 12 とを備え、さらに、サブキャリア発生回路 18 で、色信号 C のバーストと位相の合ったサブキャリア信号を、ラインロッキングクロックに同期して発生させ、復調回路 13 で、このサブキャリア信号を用いてラインロッキングクロックに同期して 2 つの色差信号 U、V に復調している。このような構成であることから、ラインロッキングクロックのみで、複合映像信号を輝度 Y、及び 2 つの色差信号 U、V に復調することができる。尚、復調する色差信号は、U、V の 2 つに限られるのではなく、その他の複数の色信号であってもよく、また 1 つの色差信号のみを復調するものであってもよい。

[0024]

また、色信号 C のバーストと位相の合ったサブキャリア信号を、ラインロッキングクロックに同期して発生させ、復調回路 13 で、このサブキャリア信号を用いてラインロッキングクロックに同期して色差信号 U、V に復調していることから、非同期クロック間の干渉によるジッタやビートの発生を抑え、複合映像信号に忠実な輝度信号 Y、色差信号 U、V を得ることができる。

以下、各回路の動作を詳細に説明する。

[0025]

サブキャリア発生回路 18、及び復調回路 13 について図 2 を用いて説明する。サブキャリア発生回路 18 は色信号 C のバーストの位相を算出するバースト位相算出手段である位相算出回路 21、サブキャリア信号を生成するサブキャリア生成回路 23、位相算出回路 21 で算出したバーストの位相とサブキャリア位相生成回路 23 でのサブキャリア位相との位相差を算出する位相比較回路 22 で構成される。

[0026]

位相算出回路 21 は YC 分離回路 12 からの色信号のバーストの位相値を算出するものであり、360°の位相を 512 分割して扱う。YC 分離回路 12 からの色信号 C のバーストの振幅を規格化回路 211 にて振幅 A に規格化する。振幅 A に規格化された色信号は絶対値化回路 212 にて絶対値を算出し、アークサイン ROM (SIN-1 ROM) 213 に供給される。アークサイン ROM (SIN-1 ROM) 213 は、sin⁻¹ (B/A) のデータが格納されており、各サンプリングポイントにおける波高値 B に応じた位相値を出力する。第 1 象限と第 2 象限、および第 3 象限と第 4 象限は波高値 B だけでは区別できない。また、第 1 象限と第 4 象限は符号が違わずに値は同じため、アークサイン ROM (SIN-1 ROM) 213 は 0 ~ 90° の第 1 象限のデータのみの格納しすることで ROM データ量の削減を行い、象限判定回路に位相情報を供給している。すなわち、デューティポイントにおける自己データの正負の符号情報、及び前後データ間の位相情報を使って象限判定を行うことができ、アークサイン ROM 213 からの位相情報に象限情報を加えバーストの位相を得ることができる。バーストの位相を位相比較回路 22 に供給する。

[0027]

象限判定の動作を図 3、および図 4 を用いて説明する。尚、図 4 における波高値 B の符号は、図 3 の各回路の符号であり、当該回路の出力信号であることに付した括弧書きの符号は、図 3 の各回路の符号であり、当該回路の出力信号であることを示している。図中には省略した規格化回路 211 によって、色信号 C のバーストは振

幅63に規格化される。絶対値化回路212によって絶対値化され、アークサインROM (SIN-1ROM) 213によって、 360° を512分割した位相の $0 \sim 90^\circ$ の第1象限のデータを取り出す。一方、ラッチ(T) 301と減算器(-) 302により算出した前後データの差の符号情報sel A、及び自画面の符号情報sel Bの排他的論和をEX-NOR 307で算出する。ここでsel AがHighの時は第1象限もしくは第4象限を表し、逆にsel BがLowの時には第2象限もしくは第3象限を表す。一方、sel BがHighの時には第1もしくは第2象限を表し、逆にLowの時には第3もしくは第4象限を表す。sel A、B、反転器(INV) 303、論理積器(AND) 304、アークサインROM (SIN-1ROM) 213出力、加算器(+) 305、減算器(-) 306を使い、値X、Yを算出し、セレクタ(SEL) 308をEX-NOR 307の出力で切り替えて、パーストを得る。

[0028]
サブキャリア生成回路23はサブキャリア位相生成回路231と $\sin \cdot \cos$ 発生回路232からなり、サブキャリア位相生成回路231の値はサブキャリア1周期を216=262144分割した位相を表している。サブキャリアfscとラインクロッククロックFCKはそれぞれ水平同期周波数fhに対し、以下の関係にある。

$fsc = (910/4) \times fh$
 $2FCK = 2 \times 606 \times fh$
したがってラインクロッククロック1クロック毎にサブキャリア位相生成回路の値をVCOCずつ増加していく。

$$\begin{aligned} VCOC &= 218 \times (fsc/2FCK) \\ &= 218 \times (910/4) / (2 \times 606) \\ &= 49206.07261 \\ &\approx 49206 \end{aligned}$$

[0029]
このVCOCは言い替えると、ラインクロッククロック1周期でサブキャリア位相が(49206/216) \times 360=67.70°進むことを意味する。これにより、水平同期周波数を455/2倍した周波数のサブキャリアが発生することができる。また、VCOCのみでは誤差が生じるが、1水平同期毎に1回、増加量をVCOHにすることで誤差の補正を行う。

$VCOH = ((910/4) \times 216) - (VCOC \times (2 \times 606 - 1))$
 $= 49294$
[0030]
また、1水平同期毎に1回、後述の位相比較回路22で算出した位相差を加えることで、入力のパーストと位相が一致したサブキャリア位相を得る。 $\sin \cdot \cos$ 発生回路232は、サブキャリア位相生成回路231の位相をもとに、サブキャリア信号(sin)及びサブキャリアに対し位相が90°進んだ信号(cos)を発生している。

[0031]
位相比較回路22は位相差算出回路221及び加算平均回路222からなり、位相差算出回路221で算出した入力信号のパーストと、サブキャリア位相生成回路231の値との位相差を算出する。位相差算出回路221は、360°の位相を512分割して扱う。入力信号のパーストの位相ARSINから、サブキャリア位相生成回路231の値COUNTの値を減算する。そのとき、図5に示すように4つの状態が存在し、それぞれ以下の関係になる。

▲1▼ |ARSIN-COUNT| ≤ 255、ARSIN-COUNT ≥ 0
▲2▼ |ARSIN-COUNT| > 255、ARSIN-COUNT < 0
▲3▼ |ARSIN-COUNT| ≤ 255、ARSIN-COUNT < 0

▲4▼ |ARSIN-COUNT| > 255、ARSIN-COUNT ≥ 0
この4つの状態に対し、位相差は以下の関係になる。
▲1▼ 位相差 = ARSIN-COUNT
▲2▼ 位相差 = 512 - |ARSIN-COUNT|
▲3▼ 位相差 = - (ARSIN-COUNT)
▲4▼ 位相差 = - (512 - |ARSIN-COUNT|)

[0032]
加算平均回路222では、上記で求めた位相差の加算平均を行う。振幅が安定した期間を使うために、パースト開始から6クロック後から32クロック期間を使用する。

$67.70^\circ \times 32 / 360^\circ = 6.02$
これは、全パースト中の約6サイクル分を使用することを意味する。位相差を加算平均した値に所定のゲインの係数を掛けたものを位相差としてサブキャリア位相生成回路231に出力する。

[0033]
復調回路13では、復調動作を行い、2つの色差信号U、Vを得る。色信号Cと、サブキャリア生成回路23で発生した \sin 、 \cos を乗算器131、132で乗算し、LPF 133、134で高周波成分を除去することで、復調動作を行う。ここで、復調後の信号は2FCK \times (16/3) \times fscの関係から、2FCKの16周期とfscの3周期がほぼ一致、つまり2FCK 16クロック毎にfscの同じ位相をサンプリングすることとなる。さらに、この現象が正副と負副の両側で起こるため、干渉雑音が発生する原因となる。さらに、3.8MHz毎に干渉雑音が発生することになる。この現象の発生を抑制する目的でLPF 133、134のフィルタ特性式に低通周波数Zに係る(1+Z⁻⁴)の項を含んでおり、水平同期周波数を455/2倍した周波数のサブキャリアを発生することができる。

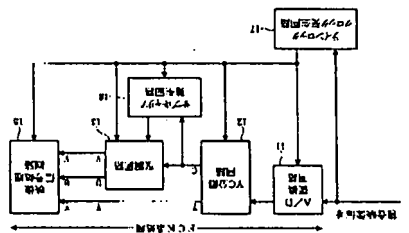
[0034]
以上のように本発明の実施の形態によれば、ラインクロッククロックのみによるサンプリングでの処理が可能となり、パーストクロック発生回路、輝度信号のパーストクロッククロックでのサンプリング回路、輝度信号、色差信号の劣化の原因となるサンプリング変換回路等が必要となり、状態クロック間の干渉によるビートの発生を抑え、複合映像信号に忠実な輝度信号、色差信号を得ることができる。また、ラインクロックを用いることで、ジッタの発生を抑えることができる。

[0035]
なお、上記実施の形態では、1水平同期を606 \times 2分割した510画面のシステムを用いて、サブキャリア位相を、1ラインクロッククロック毎に、かつ、1水平同期に1回補正するように説明したが、サブキャリア位相生成回路の1クロック毎の増加量VCOC、及び1水平同期毎の補正量VCOHの値を変え、他の画面数、例えば、720画面、768画面等でも動作が可能である。

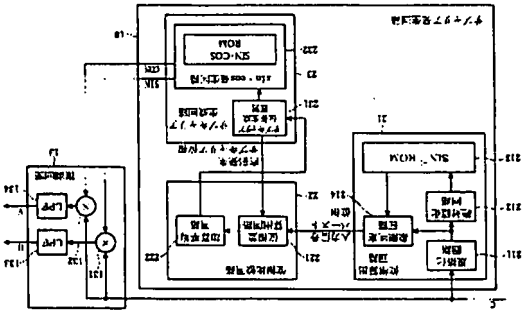
[0036]
また、上記実施の形態では、映像信号処理装置が、複合映像信号発生手段(図示せず)から送られてきた複合映像信号に同期してラインロックを発生している。しかしながら、映像信号処理装置に、ラインクロッククロックを用いて同期信号を発生させる同期信号発生手段(図示せず)を設け、この同期信号を複合映像信号発生手段に送り、複合映像信号をラインクロッククロックに同期させる構成にしてもよい。この構成により、映像信号処理装置に同期した複合映像信号を複合映像信号発生手段から得ることができる。

[0037]
[発明の効果]
以上のように本発明は、ラインクロッククロックを発生させるラインクロッククロック発生手段と、アナログ複合映像信号をラインクロッククロックに同期してデジタル信号に変換するA/D変換手段と、A/D変換手段からのデジタル化された複合映像信号からラインクロッククロックに同期して色信号及び輝度信号を分離抽出するYC分離手段と、色信号の

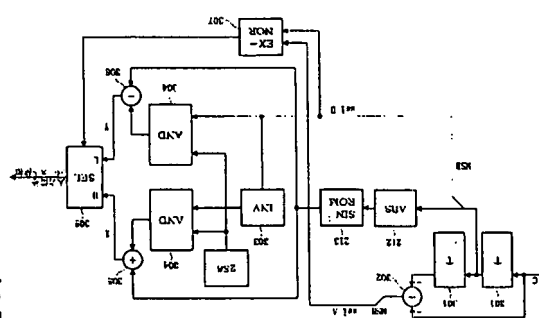
【図 1】



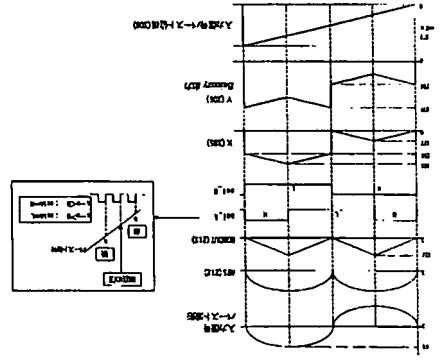
【図 2】



【図 3】



【図 4】



パーストと位相の合ったサブキャリア信号をラインロッククロックに同期して発生させるサブキャリア発生手段と、色信号をサブキャリア信号を用いてラインロッククロックに同期して2つの色差信号に復調する復調手段とを備える構成とすることにより、パーストロッククロック発生回路、輝度信号のバーストロッククロックでのサンプリング回路、輝度信号、色差信号の劣化の原因となるサンプリング変換回路等に不調となり、非同期クロック間の干渉によるビートの発生を抑え、複合映像信号に忠実な輝度信号、色差信号を得ることができる映像信号処理装置を提供することができるものである。

【図面の簡単な説明】

【図 1】 本発明の実施の形態における映像信号処理装置の構成図

【図 2】 サブキャリア発生回路及び復調回路を示す構成図

【図 3】 位相算出回路を示す構成図

【図 4】 位相算出回路動作原理の説明図

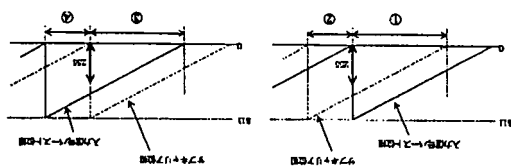
【図 5】 位相差算出原理の説明図

【図 6】 従来の映像信号処理装置の構成を示す構成図

【符号の説明】

- 1 1 A/D変換回路
- 1 2 Y/C分離回路
- 1 3 復調回路
- 1 3 1 乗算器
- 1 3 2 L P F
- 1 5 映像信号処理回路
- 1 7 ラインロッククロック発生回路
- 1 8 サブキャリア発生回路
- 2 1 位相算出回路
- 2 1 1 規格化回路
- 2 1 2 絶対値化回路
- 2 1 3 アークサインROM (SIN⁻¹ROM)
- 2 1 4 乗積判定回路
- 2 2 位相比較回路
- 2 2 1 位相差算出回路
- 2 2 2 加算平均回路
- 2 3 サブキャリア生成回路
- 2 3 1 サブキャリア位相生成回路
- 2 3 2 sin・cos発生回路

【図 5】



フロントページの続き

Pターム(参考) 50065 AA03 AA11 BA02 CA08 DB06 GA02 GA04 GA05 GA12 GA16
CA20 GB01 JA07 KB03 KB05 LA02

